

Docket No.: Y0647.0145
(PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Koji Naganawa

Application No.: Not Yet Assigned

Filed: Concurrently Herewith

Art Unit: N/A

For: DATA OUTPUT CIRCUIT AND DATA
OUTPUT METHOD

Examiner: Not Yet Assigned

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS

MS Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Japan	2002-240035	August 21, 2002

Application No.: Not Yet Assigned

Docket No.: Y0647.0145

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: August 20, 2003

Respectfully submitted,

By 

Mark J. Thronson

Registration No.: 33,082

DICKSTEIN SHAPIRO MORIN &

OSHINSKY LLP

1177 Avenue of the Americas

41st Floor

New York, New York 10036-2714

(212) 835-1400

Attorney for Applicant

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 8 月 2 1 日
Date of Application:

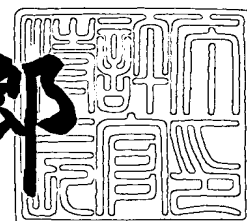
出 願 番 号 特 願 2 0 0 2 - 2 4 0 0 3 5
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 2 4 0 0 3 5]

出 願 人 日 本 電 気 株 式 有 限 公 司
Applicant(s):

2 0 0 3 年 7 月 9 日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



【書類名】 特許願

【整理番号】 53210569

【提出日】 平成14年 8月21日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/407

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 長縄 浩司

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100088812

 【弁理士】

 【氏名又は名称】 ▲柳▼川 信

【手数料の表示】

 【予納台帳番号】 030982

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9001833

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ出力回路及びデータ出力方法

【特許請求の範囲】

【請求項 1】 内部バスライン上のデータを外部バスライン上に出力するデータ出力回路であって、

前記外部バスライン上のデータとこれから出力する内部バスライン上のデータとを比較する比較手段と、

この比較結果により、データが変化するビット数が全ビット数の過半数を超える場合に、前記内部バスライン上のデータを反転して前記外部バスライン上へ出力すると共に、データを反転したことを示すデータ反転信号をも出力する出力制御手段と、

を含むことを特徴とするデータ出力回路。

【請求項 2】 クロック信号のサイクルに同期して、内部バスライン上のデータを外部バスライン上に出力するよう動作するデータ出力回路であって、

前記内部バスライン上のデータを出力する前のサイクルにおいて、前記外部バスライン上のデータとそのときの内部バスライン上のデータとを比較する比較手段と、

この比較結果により、データが変化するビット数が全ビット数の過半数を超える場合に、前記内部バスライン上のデータを反転して、次のサイクルにおいて、前記外部バスライン上へ出力すると共に、データを反転したことを示すデータ反転信号をも出力する出力制御手段と、

を含むことを特徴とするデータ出力回路。

【請求項 3】 前記内部バスライン上のデータは、記憶手段からの読出しデータであることを特徴とする請求項 1 または 2 記載のデータ出力回路。

【請求項 4】 前記比較手段及び出力制御手段は、内部バスラインを複数のグループに分割して得られた各グループ毎に設けられていることを特徴とする請求項 1 ～ 3 いずれか記載のデータ出力回路。

【請求項 5】 内部バスライン上のデータを外部バスライン上に出力するデ

ー出力方法であって、

前記外部バスライン上のデータとこれから出力する内部バスライン上のデータとを比較する比較ステップと、

この比較結果により、データが変化するビット数が全ビット数の過半数を超える場合に、前記内部バスライン上のデータを反転して前記外部バスライン上へ出力すると共に、データを反転したことを示すデータ反転信号をも出力する出力制御ステップと、

を含むことを特徴とするデータ出力方法。

【請求項 6】 クロック信号のサイクルに同期して、内部バスライン上のデータを外部バスライン上に出力するよう動作するデータ出力方法であって、

前記内部バスライン上のデータを出力する前のサイクルにおいて、前記外部バスライン上のデータとそのときの内部バスライン上のデータとを比較する比較ステップと、

この比較結果により、データが変化するビット数が全ビット数の過半数を超える場合に、前記内部バスライン上のデータを反転して、次のサイクルにおいて、前記外部バスライン上へ出力すると共に、データを反転したことを示すデータ反転信号をも出力する出力制御ステップと、

を含むことを特徴とするデータ出力方法。

【請求項 7】 前記内部バスライン上のデータは、記憶手段からの読出しデータであることを特徴とする請求項 5 または 6 記載のデータ出力方法。

【請求項 8】 前記比較ステップ及び出力制御ステップは、内部バスラインを複数のグループに分割して得られた各グループ毎に行われることを特徴とする請求項 5 ～ 7 いずれか記載のデータ出力方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はデータ出力回路及びデータ出力方法に関し、特に半導体記憶装置の記憶データを内部バスライン上に読出してこれを外部バスライン上に出力するようにしたデータ出力方式に関するものである。

【 0 0 0 2 】**【従来の技術】**

半導体記憶装置などのメモリデバイスを搭載する情報処理装置等の電子装置において、データ転送量の増大化が進んでいる。回路におけるデータ処理速度の高速化に加えて、メモリデータバスの信号数（ビット数）は、従来の 8 ビットや 1 6 ビットから 3 2 ビットや 6 4 ビットという多ビットの装置が、試作検討の段階から実現の段階になってきている。これに伴って、システム装置の電源デバイスの供給電流を強化するために、また瞬間的に流れるデータバス信号の切り替わり（信号の変化）電流による電源電圧降下を防止するために、電源コンデンサの値を大きくするなどの対策が必要となり、装置電源設計におけるメモリ電源設計のウェイトが増加する傾向にある。

【 0 0 0 3 】**【発明が解決しようとする課題】**

以上述べた様に、メモリのデータバス信号の多ビット化、処理速度の高速化などに起因して、使用するメモリに応じて以下の様な問題が生ずる。

【 0 0 0 4 】

第一の問題は、メモリから出力されるデータ信号の切替り時に発生する消費電流が大きいことである。加えて、切替り時における内部電源電圧の揺らぎが発生してしまうことである。同一電源を使用している自デバイスのみならず、他デバイスの誤動作の懸念はもとより、特に携帯電話機などでは、電源電圧の揺らぎの周波数要素が、無線特性などにも影響を及ぼす要因となる危険性を含んでいる。その理由は、データバスの多ビット化により複数のビットが同時に切り替るためである。

【 0 0 0 5 】

ここで、図 1 0 を参照すると、従来の半導体記憶装置におけるデータ出力回路の例を示すブロック図であり、バス上のデータは n ビット（ n は 2 以上の整数）であるものとする。すなわち、データが伝達される各バスの幅は n ビット幅であるものとする。

【 0 0 0 6 】

図10において、図示せぬメモリのリードアンプからの出力である読出しデータバス信号10i (iは0～n)は、読出しデータラッチ回路801へ入力されラッチ信号12によりラッチされる。このラッチ出力はラッチデータバス信号20iとしてI/Oバッファ回路802を介して、データ出力要求信号11に応答して外部バス上へ出力データ40iとして導出されるようになっている。

【0007】

図11は図10のブロックにおける各部信号波形例を示すタイミングチャートである。図11において、T91～T96は各信号の変化タイミングをそれぞれ示している。

【0008】

このようなデータ出力回路においては、上述した如く、データバスの多ビット化 (nが大となることを意味する) に伴って、出力データ40i中の複数のビットが、タイミングT96において、同時に切り替ると、消費電流が大となり、内部電源電圧の揺らぎが発生して、これがノイズとなって種々の悪影響を及ぼすことになるのである。

【0009】

本発明の目的は、外部データバス上へのデータ出力時におけるデータ信号の切り替わりによって発生する瞬間的な消費電流を軽減して、電源電圧の変動を抑止してノイズ軽減を図るようにしたデータ出力回路を提供することである。

【0010】

【課題を解決するための手段】

本発明によるデータ出力回路は、内部バスライン上のデータを外部バスライン上に出力するデータ出力回路であって、前記外部バスライン上のデータとこれから出力する内部バスライン上のデータとを比較する比較手段と、この比較結果により、データが変化するビット数が全ビット数の過半数を超える場合に、前記内部バスライン上のデータを反転して前記外部バスライン上へ出力すると共に、データを反転したことを示すデータ反転信号をも出力する出力制御手段とを含むことを特徴とする。

【0011】

本発明による他のデータ出力回路は、クロック信号のサイクルに同期して、内部バスライン上のデータを外部バスライン上に出力するよう動作するデータ出力回路であって、前記内部バスライン上のデータを出力する前のサイクルにおいて、前記外部バスライン上のデータとそのときの内部バスライン上のデータとを比較する比較手段と、この比較結果により、データが変化するビット数が全ビット数の過半数を超える場合に、前記内部バスライン上のデータを反転して、次のサイクルにおいて、前記外部バスライン上へ出力すると共に、データを反転したことを示すデータ反転信号をも出力する出力制御手段とを含むことを特徴とする。

【0012】

本発明によるデータ出力方法は、内部バスライン上のデータを外部バスライン上に出力するデータ出力方法であって、前記外部バスライン上のデータとこれから出力する内部バスライン上のデータとを比較する比較ステップと、この比較結果により、データが変化するビット数が全ビット数の過半数を超える場合に、前記内部バスライン上のデータを反転して前記外部バスライン上へ出力すると共に、データを反転したことを示すデータ反転信号をも出力する出力制御ステップとを含むことを特徴とする。

【0013】

本発明による他のデータ出力方法は、クロック信号のサイクルに同期して、内部バスライン上のデータを外部バスライン上に出力するよう動作するデータ出力方法であって、前記内部バスライン上のデータを出力する前のサイクルにおいて、前記外部バスライン上のデータとそのときの内部バスライン上のデータとを比較する比較ステップと、この比較結果により、データが変化するビット数が全ビット数の過半数を超える場合に、前記内部バスライン上のデータを反転して、次のサイクルにおいて、前記外部バスライン上へ出力すると共に、データを反転したことを示すデータ反転信号をも出力する出力制御ステップとを含むことを特徴とする。

【0014】

本発明の作用を述べる。内部データバスラインから外部データバスラインへ複数ビットのデータを出力する際に、直前に外部データバスラインに存在している

データと、内部バスラインの出力データとを比較し、データに変化のあるビット数が過半数を超えている場合には、データを反転させると共に、データを反転させて出力していることを示す信号を生成し、これ等反転データと反転を示す信号（1ビット）を出力する。こうすることにより、データ出力時におけるデータの切り替わりにより発生する瞬間的な消費電流の軽減と、電源電圧変動によるノイズ軽減とを実現できることになる。

【0015】

【発明の実施の形態】

以下に、図面を用いて本発明の実施例について説明する。図1は本発明の一実施例のブロック図であり、データバスのビット幅は n とする。図1において、リードアンプ（半導体メモリの読出しデータを増幅するアンプ）1の読出しデータバス信号 $10i$ （ i は $0 \sim n$ ）は読出しデータラッチ回路2に入力され、ラッチ信号12に応答してラッチされる。このラッチ出力であるラッチデータバス信号 $20i$ は出力データ制御回路3へ入力される。

【0016】

この出力データ制御回路3は、入力されたラッチデータバス信号 $20i$ と、現在外部データバス上に存在している出力データ $40i$ と同じデータ（外部データバス信号 $50i$ と称す）とを、ビット対応に比較して、変化しているビット数がビット総数の過半数を超えているとき、ラッチデータバス信号 $20i$ の全ビットを反転して出力データバス信号 $30i$ として導出すると共に、データを反転したことを示すデータ反転信号13を生成して出力する。

【0017】

入出力回路4は出力データバス信号 $30i$ を出力データ $40i$ として、外部データバス上へ伝達すると共に、この出力データ $40i$ を出力データ制御回路3へ外部データバス信号 $50i$ として帰還するものである。

【0018】

図2は図1の読出しデータラッチ回路2の具体例を示す図である。入力される読出しデータバス信号 $10i$ の各ビット対応にラッチ回路が設けられており、図2は、 $i=0$ 及び $i=n$ のラッチ回路についてのみ示しており、他の $i=1 \sim n$

ー 1 のラッチ回路についても同一構成である。

【0019】

読出しデータバス信号 $10i$ の 0 ビット目、すなわち $i = 0$ に対応したラッチ回路のみにについて説明する。読出しデータバス信号 100 はインバータ $I00$ を介して互いに直列接続された N チャネル及び P チャネルトランジスタ $N00$ 及び $P00$ の各ゲートへ入力される。また、ラッチ信号 12 はトランジスタ $N00$ とアースとの間の N チャネルトランジスタ $N10$ のゲートに印加されると共に、トランジスタ $P00$ と電源 VDD との間の P チャネルトランジスタ $P10$ のゲートに印加される。トランジスタ $N00$ と $P00$ との直列接続点と、ラッチデータバス信号 200 の出力点との間には、2 々のインバータ $I10$, $I20$ によるインバータループからなるラッチ部が設けられている。

【0020】

こうすることにより、ラッチ信号 12 のタイミングに応答して、読出しデータバス信号 100 がインバータループのラッチ部にラッチされることになる。他のデータバス信号 101 から $10n$ についても同様であることは明らかである。

【0021】

図 3 及び図 4 は図 1 における出力データ制御回路 3 の具体例を示す回路図である。図 3 を参照すると、出力データ制御回路 3 におけるデータ比較部分の回路例であり、ラッチデータバス信号 $20i$ と外部データバス信号 $50i$ とを、ビット対応に比較する排他的論理和回路 Xi と、これ等排他的論理和出力を入力として、全ビットの過半数を超えるビットが反転していると判定されると、データ反転信号 13 を生成するデータ反転信号生成回路 5 とを有する。このデータ反転信号 13 は、ラッチデータバス信号 $20i$ を反転したことを示すための信号である。

【0022】

図 4 を参照すると、出力データ制御回路 3 におけるデータ反転制御部分の回路例であり、ラッチデータバス信号 $20i$ の各ビット対応に設けられており、図 4 では、第 0 番目のビットと第 n 番目のビットのみの回路についてのみ示している。これ等回路は全ビットについて同一であるので、第 0 番目のビットに対応する回路についてのみ説明する。

【 0 0 2 3 】

ラッチデータバス信号 2 0 0 はインバータ I 30 を介してトランスファゲート T 00 へ入力され、またラッチデータバス信号 2 0 0 は直接トランスファゲート T 10 へ入力される。これ等トランスファゲート T 00, T 10 はデータ反転信号 1 3 の相補信号（インバータ I 4 0 による）によりオンオフ制御されるようになっている。これ等トランスファゲート T 00, T 10 の両出力は出力データバス信号 3 0 0 として導出される。

【 0 0 2 4 】

この様な構成とすることにより、データ反転信号 1 3 がアクティブ（ハイレベル）のときには、トランスファゲート T 00 がオンとなり、ラッチデータバス信号 2 0 0 のインバータ I 30 による反転信号が出力データバス信号 3 0 0 となって導出される。データ反転信号 1 3 がノンアクティブ（ローレベル）のときには、トランスファゲート T 10 がオンとなり、ラッチデータバス信号 2 0 0 がそのまま出力データバス信号 3 0 0 となって導出されることになる。

【 0 0 2 5 】

図 5 は上述した各回路ブロックの各部動作波形を示すタイミングチャートの例を示す図である。メモリ読出し動作により、リードアンプ 1 から読出しデータバス信号 1 0 i が出力される（T 42）。読出し動作開始を受けて、デバイス内部で発生されるラッチ信号 1 2 に応答して（T 43）、読出しデータラッチ回路 2 は、読出しデータバス信号 1 0 i をラッチして、ラッチデータバス信号 2 0 i として導出する（T 44）。

【 0 0 2 6 】

このとき、読出し動作開始時に取込まれていた外部データバス信号 5 0 i （T 41）と、ラッチデータバス信号 2 0 i とが、出力データ制御回路 3 において、ビット対応に比較され、データ出力時に、現在外部バスライン上に存在するデータに対して変化するビットの数が、総ビット数の過半数を超えときには、データ反転信号 1 3 がアクティブとなり、ラッチデータバス信号 2 0 i が反転されて、出力データバス信号 3 0 i として導出される。このとき、同時に、アクティブとなってデータが反転していることを示すデータ反転信号 1 3 も導出される（T

45)。

【0027】

なお、データの変化が全ビット数の過半数を超えないときには、ラッチデータバス信号 20 i は反転されることなく、そのまま出力データバス信号 30 i として導出され、ノンアクティブのデータ反転信号 13 も導出される。そして、データ出力要求信号 11 に応答して (T47)、入出力回路 4 から外部データバスへ出力データ 40 i が出力されることになる (T48)。

【0028】

図 6 は本発明の他の実施例を示すブロック図であり、図 1 と同等部分は同一符号により示されている。本実施例では、図 1 の構成にクロック信号 CLK が追加されており、それに伴って図 1 のデータ要求信号 11 が省かれている。図 6 の例では、クロック信号サイクルに同期して外部バスライン上にメモリ読出しデータである内部バスライン上のデータを出力する、クロック同期方式の回路を示している。

【0029】

読出しデータラッチ回路 2、出力データ制御回路 3 及び入出力制御回路 4 にクロック信号 CLK が供給され、これ等各回路がこのクロック信号サイクルに同期して動作するものである。これ等各回路は図 2～図 3 に示した構成と同じであり、図 7 及び図 8 は出力データ制御回路 3 のデータ比較部とデータ反転制御部との回路例を示しており、図 3 及び図 4 と同一であり、説明は省略する。なお、図 7 の比較部においては、データ反転信号生成回路 5 へ、データ比較要求信号 14 と、クロック信号 CLK とが印加されている。

【0030】

また、入出力回路 4 には、図 1 のデータ出力要求信号 11 の代りに、クロック信号 CLK が入力されて、このクロック信号 CLK に同期して外部データバス上へ出力データ 40 i が導出される。なお、図 9 に、図 6 の各ブロックの各部信号波形の動作タイミングチャートの例を示している。図 9 における T71～T76 は各信号の変化タイミングを示し、クロック信号 CLK に同期した動作を行っていることが判る。

【0031】

本実施例においても、先の実施例と同様に、外部データバス上へ出力するデータ（内部データバス上のデータ）が、直前に出力したデータと比較して、データ変化をなすビット数が過半数を超えると、内部データバス上のデータを反転して外部データバスへ導出するようになっている。このとき、当然にデータ反転の有無を示すデータ反転信号も同時に出力されることは勿論である。

【0032】

なお、上記実施例では、内部データバス上のデータの全てのビットについて、ビット比較及び反転／非反転制御を行っているが、データ幅が大きくてビット数が大なる場合には、データバスラインを複数のグループに分割して、各グループ毎に、ビット比較及び反転／非反転制御を行うよう構成することも可能である。また、これ等ビット比較や反転／非反転制御を、外部からの設定により任意に選択できる様に構成することもできるものである。

【0033】**【発明の効果】**

以上述べた如く、本発明によれば、内部データバス上のデータと直前に外部データバス上へ出力したデータとを、ビット対応に比較して、データ反転のあるビット数が全ビット数の過半数を超える場合には、内部データバス上のデータを反転して外部データバスへ導出するようにしたので、同時にデータが切り替るビット数を減少させることができ、消費電流の削減が可能となると共に、電源電圧の変動によるノイズ削減が可能となる。特に、メモリの出力データ数が増大し、変化データビット数が多いときには、より顕著な効果が得られる。

【図面の簡単な説明】**【図1】**

本発明の一実施例の機能ブロック図である。

【図2】

図1の読出しデータラッチ回路2の例を示す回路図である。

【図3】

図1の出力データ制御回路3のデータ比較部の例を示す図である。

【図 4】

図 1 の出力データ制御回路 3 のデータ反転制御部の例を示す回路図である。

【図 5】

図 1 の各ブロックの各動作波形を示すタイミングチャートである。

【図 6】

本発明の他の実施例の機能ブロック図である。

【図 7】

図 6 の出力データ制御回路 3 のデータ比較部の例を示す図である。

【図 8】

図 6 の出力データ制御回路 3 のデータ反転制御部の例を示す回路図である。

【図 9】

図 6 の各ブロックの各部動作波形を示すタイミングチャートである。

【図 1 0】

従来のデータ出力回路の例を示すブロック図である。

【図 1 1】

図 1 0 の各ブロックの各部動作波形を示すタイミングチャートである。

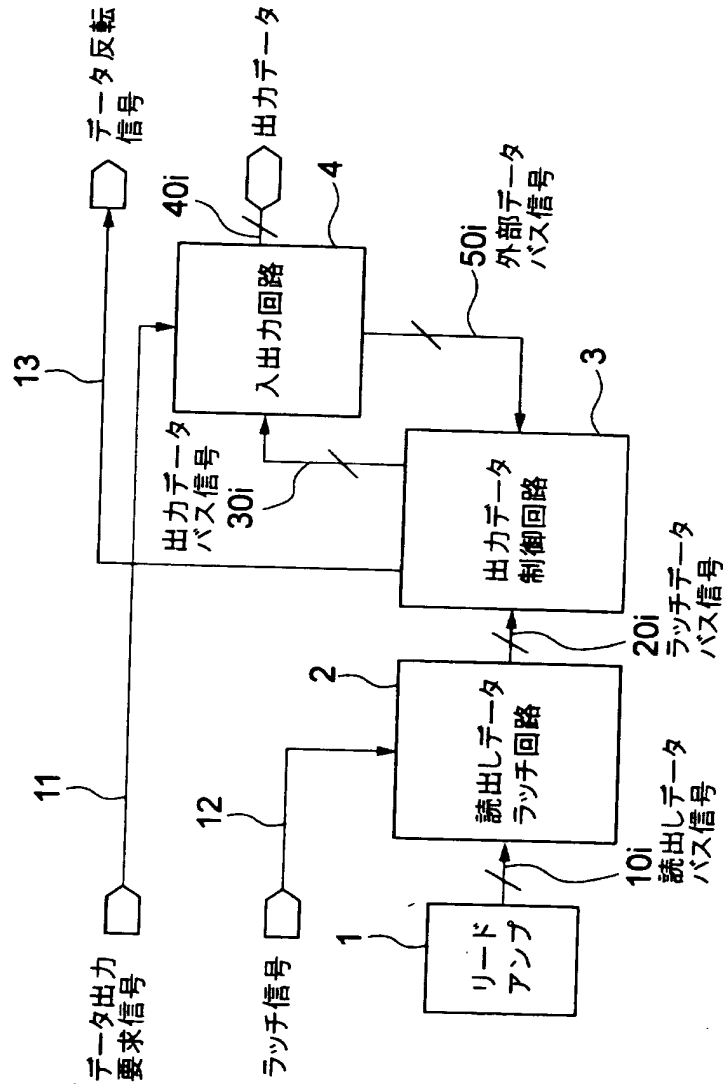
【符号の説明】

- 1 リードアンプ
- 2 読出しデータラッチ回路
- 3 出力データ制御回路
- 4 入出力回路
- 5 反転信号生成回路

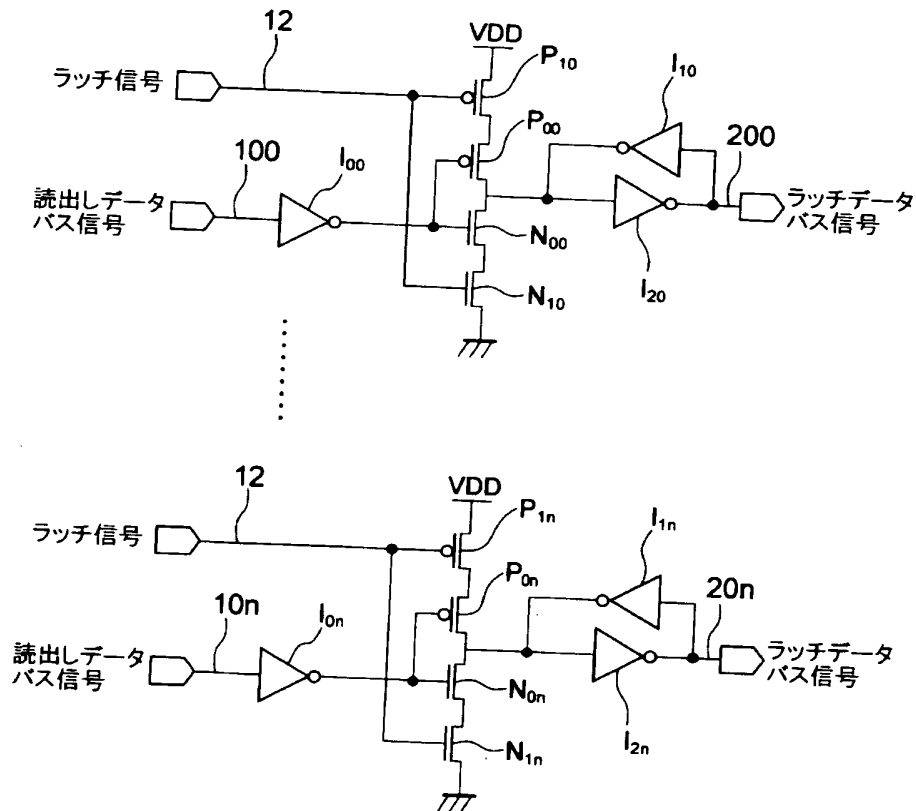
【書類名】

図面

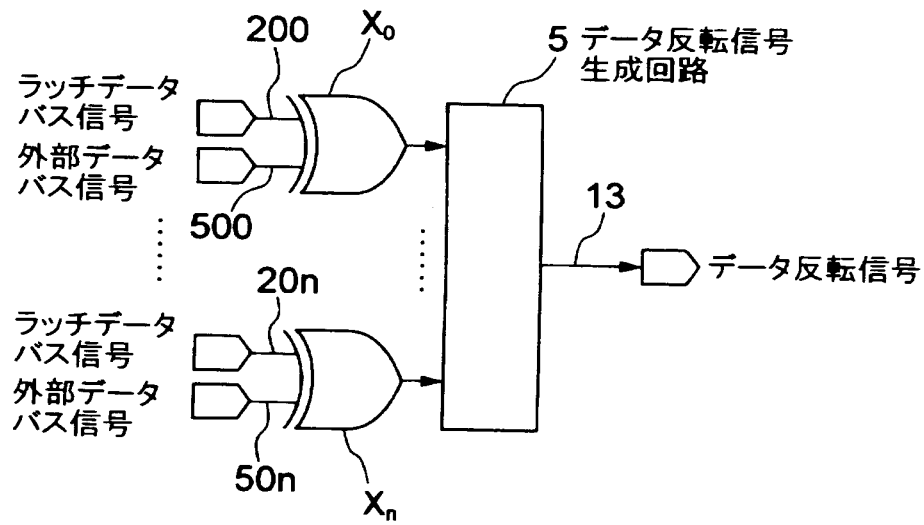
【図1】



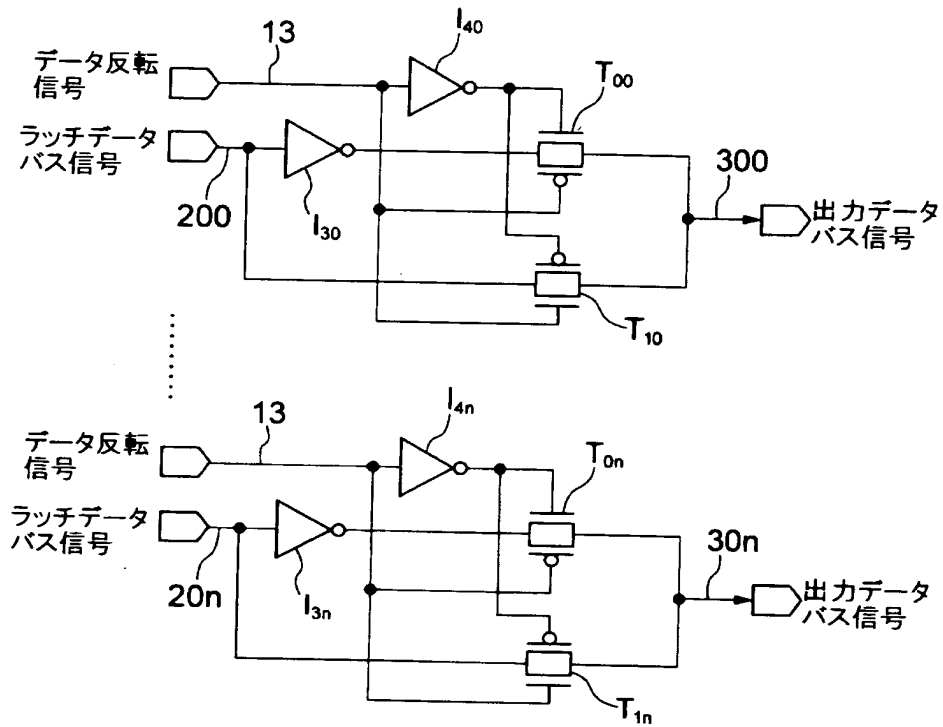
【図 2】



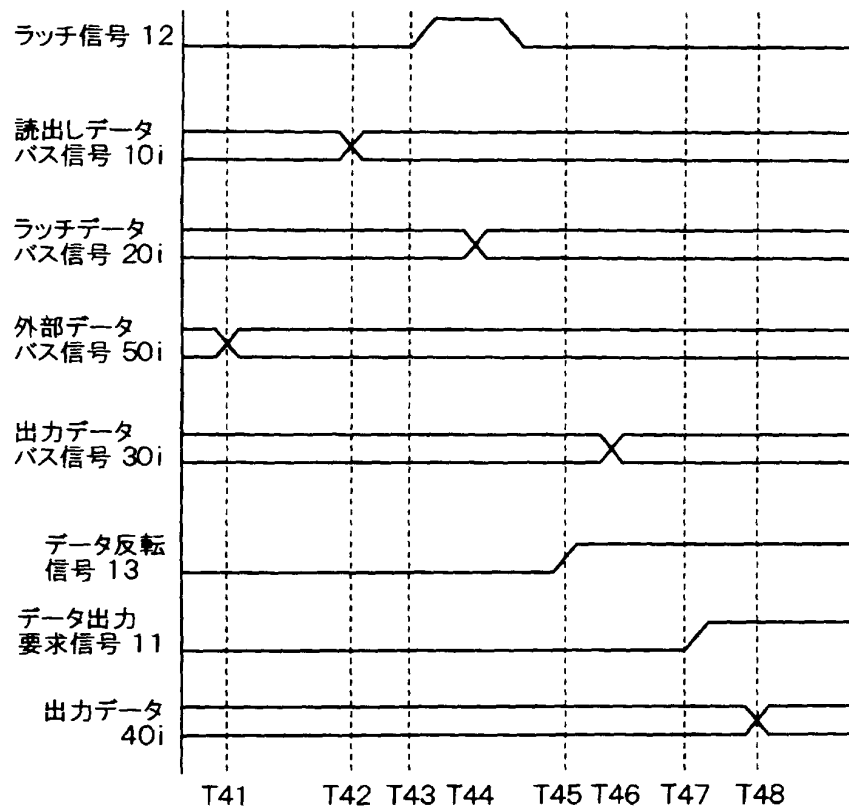
【図 3】



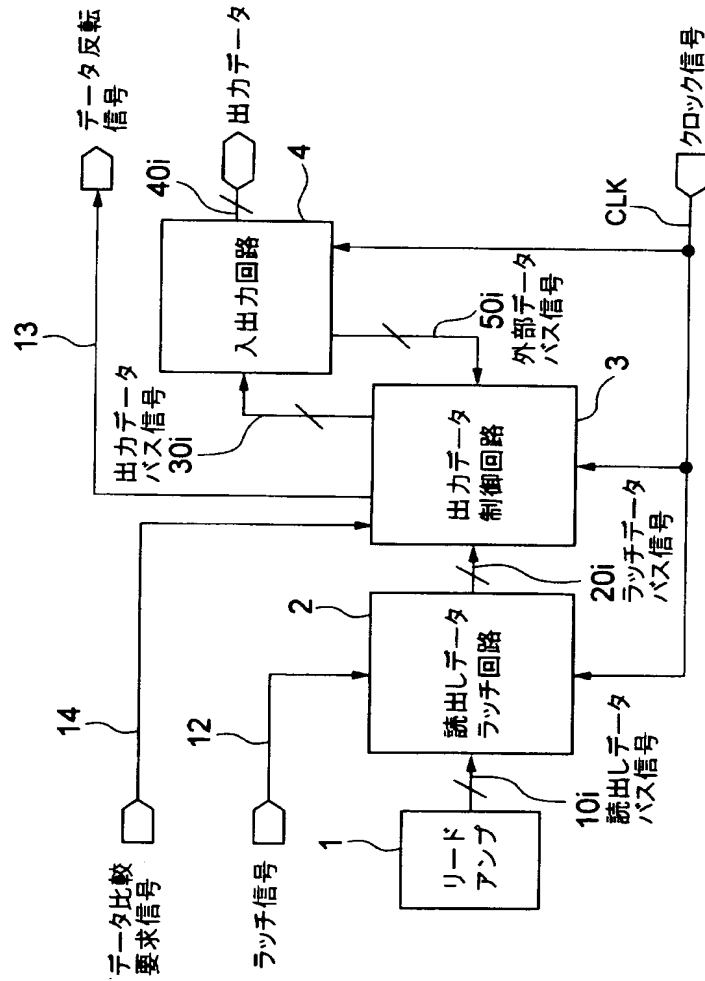
【図 4】



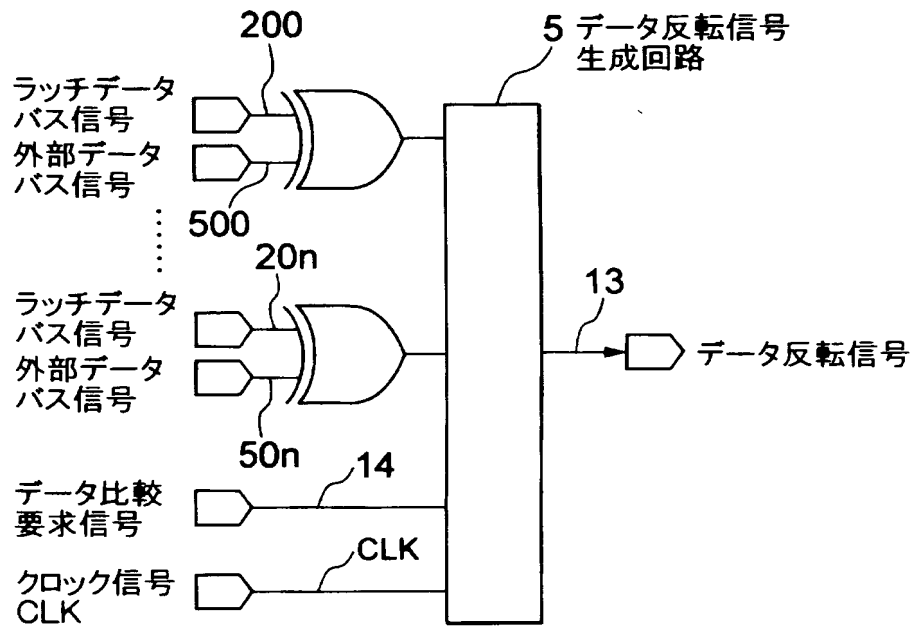
【図 5】



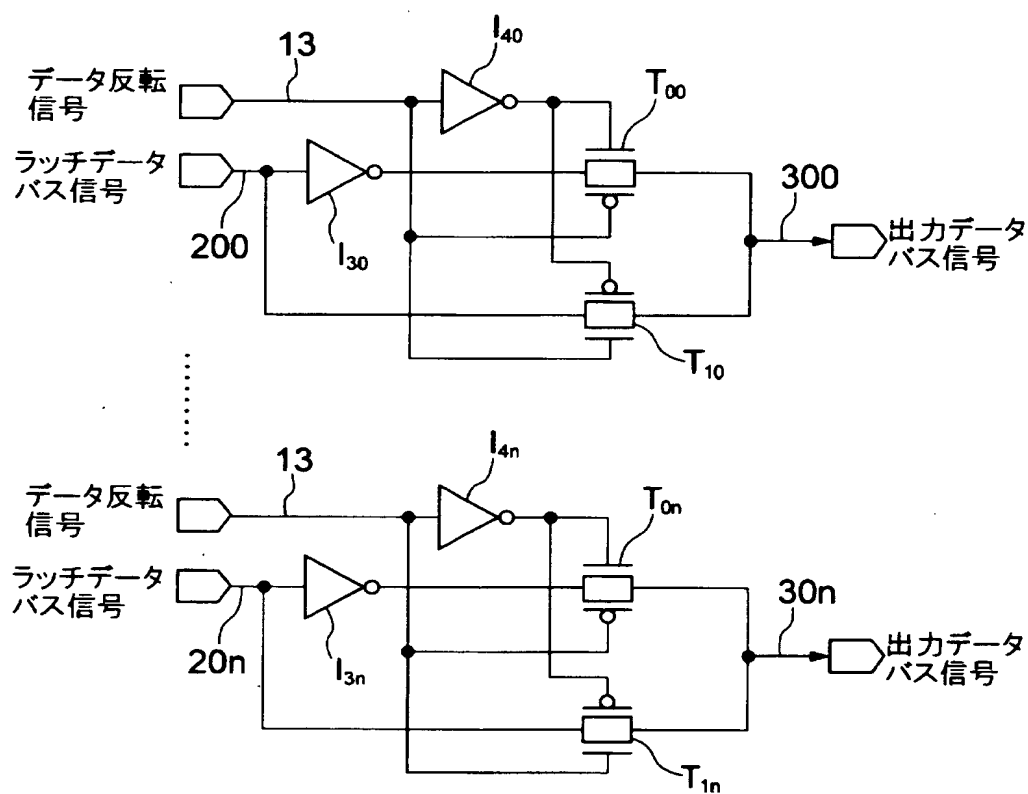
【図 6】



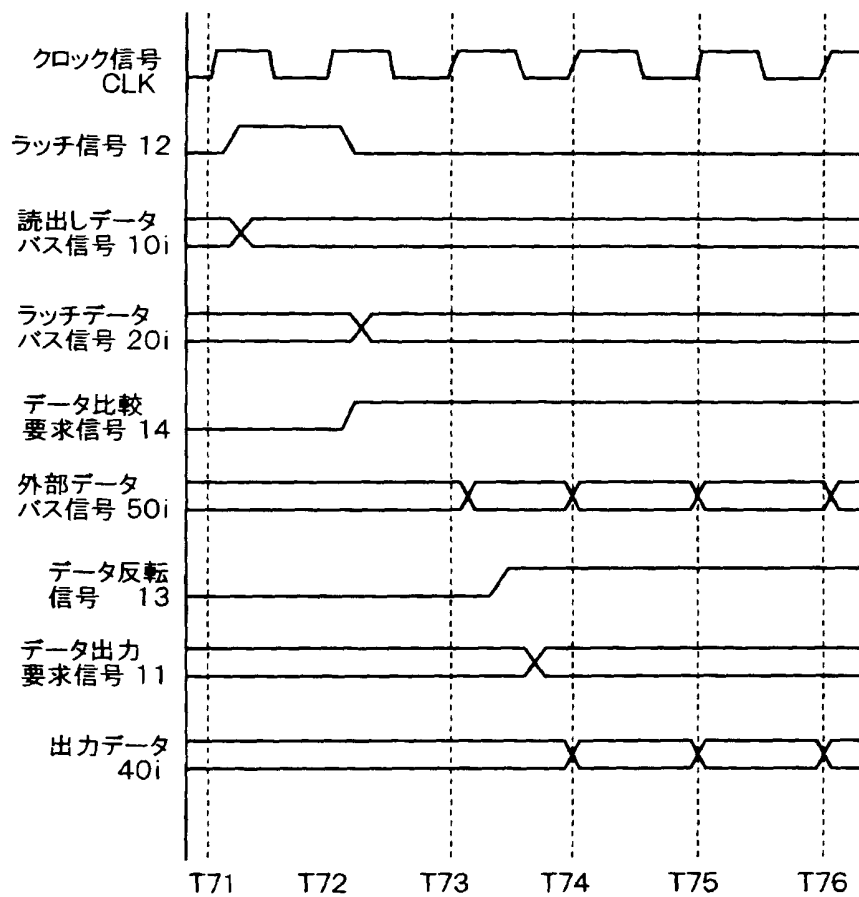
【図 7】



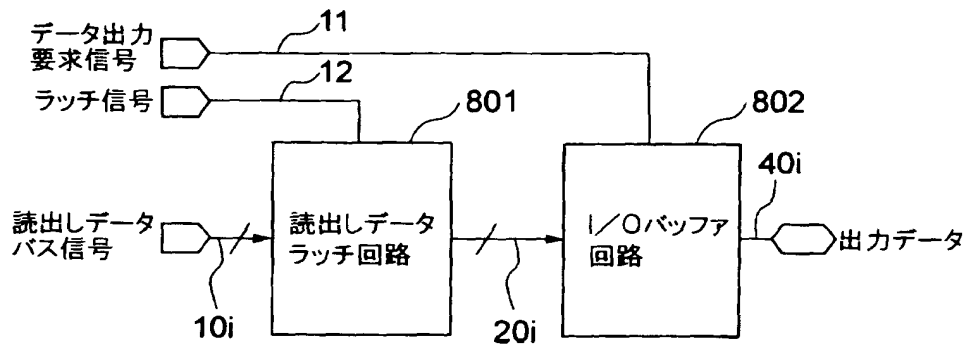
【図 8】



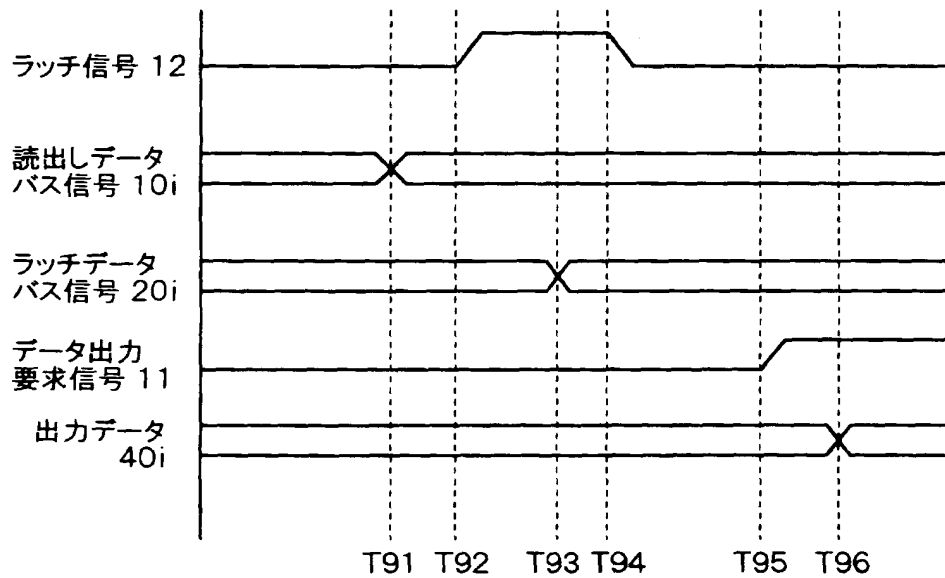
【図 9】



【図 10】



【図 11】



【書類名】 要約書

【要約】

【課題】 外部データバス上へのデータ出力時に、データ信号の切り替えにより生ずる瞬間的な消費電流の増大と電源電圧変動とを抑止する。

【解決手段】 内部バスライン上のラッチデータバス信号 2 0 i を、外部データバスライン上の出力データ 4 0 i として出力する場合、直前に外部データバスライン上に存在している外部データバス信号 5 0 i と、ラッチデータバス信号 2 0 i とを、出力データ制御回路 3 において、ビット対応に比較し、データに変化のあるビット数が過半数を超えているとき、データを反転させると共に、データ反転を示すデータ反転信号 1 3 を生成する。この反転データとデータ反転信号 1 3 とを外部へ出力することにより、データ出力時におけるデータ切り替えにより生ずる瞬間的な消費電流の軽減と、電源電圧変動によるノイズ軽減とを図ることができる。

【選択図】 図 1

特願 2 0 0 2 - 2 4 0 0 3 5

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 4 2 3 7]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

東京都港区芝五丁目 7 番 1 号

氏 名

日本電気株式会社